

PCT/JP2005/002161
25.2.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 2 月 1 2 日

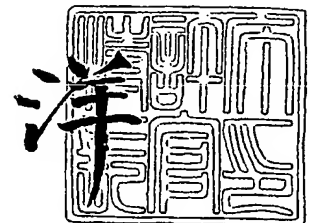
出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 3 5 6 5 9
[ST. 10/C]: [J P 2 0 0 4 - 0 3 5 6 5 9]

出 願 人
Applicant(s): ソニー株式会社

2 0 0 5 年 1 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 0390838204
【提出日】 平成16年 2月12日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03L 7/06
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 有沢 繁
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 張 誠
【特許出願人】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100067736
 【弁理士】
 【氏名又は名称】 小池 晃
【選任した代理人】
 【識別番号】 100086335
 【弁理士】
 【氏名又は名称】 田村 榮一
【選任した代理人】
 【識別番号】 100096677
 【弁理士】
 【氏名又は名称】 伊賀 誠司
【手数料の表示】
 【予納台帳番号】 019530
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9707387

【書類名】 特許請求の範囲

【請求項 1】

所望の伝送系を介して伝送された入力信号より、前記入力信号のクロックを再生する PLL 回路において、

前記入力信号を 2 値化して 2 値化信号を生成する 2 値化手段と、制御信号により周波数を可変して、第 1 の発振出力信号と、前記第 1 の発振出力信号に対して 90° [$\pi/2$] 位相の異なる第 2 の発振出力信号を出力する信号生成手段と、

前記第 1 の発振出力信号と前記 2 値化信号とを位相比較し、第 1 の位相比較結果を出力する第 1 の位相比較手段と、

前記第 2 の発振出力信号と前記 2 値化信号とを位相比較し、第 2 の位相比較結果を出力する第 2 の位相比較手段と、

前記第 1 及び第 2 の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、

前記制御方向判定結果を前記入力信号の 1 周期分積算して、積算結果を出力する積算手段と、

前記積算結果に対し、前記位相比較結果に基づいて位相差が [$\pm \pi/2$] の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を 1 周期に 1 回に出力する補正手段とを備え、

前記補正処理済みの制御信号により前記信号生成手段の動作を制御することを特徴とする PLL 回路。

【請求項 2】

前記入力信号が PSK 変調信号でなることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 3】

前記入力信号がマンチェスター符号による変調信号でなることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 4】

所望の伝送系を介して伝送された入力信号より、前記入力信号を介して伝送されるデータ列を再生する復調回路において、

前記入力信号を 2 値化して 2 値化信号を生成する 2 値化手段と、制御信号により周波数を可変して、第 1 の発振出力信号と、前記第 1 の発振出力信号に対して 90° [$\pi/2$] 位相の異なる第 2 の発振出力信号を出力する信号生成手段と、

前記第 1 の発振出力信号と前記 2 値化信号とを位相比較し、第 1 の位相比較結果を出力する第 1 の位相比較手段と、

前記第 2 の発振出力信号と前記 2 値化信号とを位相比較し、第 2 の位相比較結果を出力する第 2 の位相比較手段と、

前記第 1 及び第 2 の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、

前記制御方向判定結果を前記入力信号の 1 周期分積算して、積算結果を出力する積算手段と、

前記積算結果に対し、前記位相比較結果に基づいて位相差が [$\pm \pi/2$] の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を 1 周期に 1 回に出力する補正手段とを備え、

前記補正処理済みの制御信号により前記信号生成手段の動作を制御して、前記第 1 又は第 2 の位相比較結果により前記データ列を出力することを特徴とする復調回路。

【請求項 5】

前記入力信号が PSK 変調信号でなることを特徴とする請求項 4 に記載の復調回路。

【請求項 6】

前記入力信号がマンチェスター符号による変調信号でなることを特徴とする請求項 5 に記載の復調回路。

【請求項 7】

アンテナを介して受信された送信信号から復調回路によりデータ列を復調して処理する IC カードにおいて、

前記復調回路は、前記送信信号を 2 値化して 2 値化信号を生成する 2 値化手段と、制御信号により周波数を可変して、第 1 の発振出力信号と、前記第 1 の発振出力信号に対して 90° [$\pi/2$] 位相の異なる第 2 の発振出力信号を出力する信号生成手段と、前記第 1 の発振出力信号と前記 2 値化信号とを位相比較し、第 1 の位相比較結果を出力する第 1 の位相比較手段と、前記第 2 の発振出力信号と前記 2 値化信号とを位相比較し、第 2 の位相比較結果を出力する第 2 の位相比較手段と、前記第 1 及び第 2 の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、前記制御方向判定結果を前記入力信号の 1 周期分積算して、積算結果を出力する積算手段と、前記積算結果に対し、前記位相比較結果に基づいて位相差が [$\pm\pi/2$] の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を 1 周期に 1 回に出力する補正手段とを備え、

前記補正処理済みの制御信号により前記信号生成手段の動作を制御して、前記第 1 又は第 2 の位相比較結果により前記データ列を出力することを特徴とする IC カード。

【請求項 8】

前記送信信号が P S K 変調信号でなることを特徴とする請求項 7 に記載の IC カード。

【請求項 9】

前記送信信号がマンチェスター符号による変調信号でなることを特徴とする請求項 7 に記載の IC カード。

【請求項 10】

アンテナを介して受信された応答信号から、復調回路を用いて IC カードより送出されたデータ列を復調して処理する IC カード処理装置において、

前記復調回路は、前記応答信号を 2 値化して 2 値化信号を生成する 2 値化手段と、制御信号により周波数を可変して、第 1 の発振出力信号と、前記第 1 の発振出力信号に対して 90° [$\pi/2$] 位相の異なる第 2 の発振出力信号を出力する信号生成手段と、前記第 1 の発振出力信号と前記 2 値化信号とを位相比較し、第 1 の位相比較結果を出力する第 1 の位相比較手段と、前記第 2 の発振出力信号と前記 2 値化信号とを位相比較し、第 2 の位相比較結果を出力する第 2 の位相比較手段と、前記第 1 及び第 2 の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、前記制御方向判定結果を前記入力信号の 1 周期分積算して、積算結果を出力する積算手段と、前記積算結果に対し、前記位相比較結果に基づいて位相差が [$\pm\pi/2$] の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を 1 周期に 1 回に出力する補正手段とを備え、

前記補正処理済みの制御信号により前記信号生成手段の動作を制御して、前記第 1 又は第 2 の位相比較結果により前記データ列を出力することを特徴とする IC カード処理装置。

【請求項 11】

前記応答信号が P S K 変調信号でなることを特徴とする請求項 10 に記載の IC カード処理装置。

【請求項 12】

前記応答信号がマンチェスター符号による変調信号でなることを特徴とする請求項 10 に記載の IC カード処理装置。

【書類名】明細書

【発明の名称】PLL回路、復調回路、ICカード及びICカード処理装置

【技術分野】

【0001】

本発明は、PLL回路、復調回路、ICカード及びICカード処理装置に関し、例えば非接触により種々のデータを入出力するICカードと、このICカードとデータ通信するICカード処理装置に適用される。

【背景技術】

【0002】

従来、ICカードを用いたICカードシステムにおいては、交通機関の改札システム、部屋の入退出管理システム等に適用されるようになされている。このようなICカードシステムは、ユーザーの携帯するICカードと、これらICカードとの間で種々のデータを送受するリーダライタ（すなわちICカード処理装置でなる）とにより構成され、これらICカード及びリーダライタ間で非接触により種々のデータを送受するようになされたものが提案されている。

【0003】

すなわち、この種のICカードシステムにおいて、リーダライタは、所定周波数の搬送波を所望のデータ列により変調して送信信号を生成し、この送信信号をICカードに送出する。

【0004】

ICカードは、アンテナを介してこの送信信号を受信し、この送信信号よりリーダライタから送出されたデータを復調する。さらにICカードは、この受信したデータに応じて、内部に保持する個人情報等のデータを所定の搬送波により変調してリーダライタに送出する。

【0005】

リーダライタは、このICカードより送出されたデータを受信し、この受信したデータより、改札機の扉を開閉し、また部屋の入退出を許可するようになされている。

【0006】

このようなICカードシステムにおいては、例えば図8に示すような復調器を用いて、リーダライタより送出されたデータを受信し、またICカードより送信されたデータを受信するようになされている。

【0007】

すなわちこの復調器1は、アンテナ入力より復調されたPSK変調信号S1をリミッタ回路構成の2値化回路2に入力し、ここでPSK変調信号S1を2値化する。位相比較回路3は、この2値化回路2より出力される2値化信号SAと制御型発振回路4より出力されるクロックCKとを位相比較するイクスクループオア回路等により構成され、2値化信号SAの位相によらず位相比較結果をローパスフィルタ(LPF)5に出力する。ローパスフィルタ5は、位相比較結果を帯域制限し、制御型発振回路4の制御信号を生成する。制御型発振回路4は、この制御信号に応じて発振周波数を可変する。

【0008】

これにより復調器1は、PLL回路を構成して2値化信号SAに位相同期したクロックCKを生成し、PSK変調信号よりクロックCKを再生する。ラッチ回路6は、このクロックCKにより2値化信号を順次ラッチし、これによりPSK変調信号S1を復調してなるデータ列D1を出力するようになされている。

【0009】

ところでICカードシステムにおいては、ICカードとリーダライタとの距離によりアンテナ入力が大きく変化する。これに伴ってPSK変調信号S1の波形が著しく劣化し、またS/N比も大きく劣化する。

【0010】

このようになると従来の復調器は、PSK変調信号S1を2値化して得られる2値化信

号においてデューティ比が変化し、これにより2値化信号SAよりPSK変調信号S1のクロックを正しく再生することが困難になる問題がある。このようにクロックを正しく再生することが困難になると、その分正しくデータ再生することも困難になる。

【0011】

この問題を解決する1つの方法として、本件出願人は、コスタスループによりPSK変調信号を復調するようにした復調回路を先に提案している（例えば、特許文献1参照）。

【0012】

【特許文献1】特開平11-274919号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

上述の如くPSK変調、或いは、マンチェスター符号化されたデジタルデータを受信する場合、サンプリングクロックの抽出を行う必要性がある。コスタスループ等のPLL回路では、内部に実装された内部発振器の出力信号と受信するデジタルデータの位相比較を行い、その結果により内部発振器の発振周波数と位相の制御を行う事でサンプリングクロックの抽出を行う。

【0014】

しかしながら、データのデューティや位相状態によっては、位相誤差が検出できない位相差が原理的に存在し、この位相差にはまり込むと、誤ロック状態が発生してしまう。

【0015】

そこで、本発明の目的は、上述の如き従来の問題点に鑑み、上記誤ロック状態を検出し、その状態を回避することにより、確実にサンプリングクロックの抽出を可能にしたPLL回路、復調回路、これらを使用したICカード及びICカード処理装置を提供することにある。

【0016】

本発明の更に他の目的、本発明によって得られる具体的な利点は、以下に説明される実施の形態の説明から一層明らかにされる。

【課題を解決するための手段】

【0017】

本発明は、所望の伝送系を介して伝送された入力信号より、前記入力信号のクロックを再生するPLL回路において、前記入力信号を2値化して2値化信号を生成する2値化手段と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度 $[\pi/2]$ 位相の異なる第2の発振出力信号を出力する信号生成手段と、前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較手段と、前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較手段と、前記第1及び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、前記制御方向判定結果を前記入力信号の1周期分積算して、積算結果を出力する積算手段と、前記積算結果に対し、前記位相比較結果に基づいて位相差が $[\pm \pi/2]$ の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を1周期に1回に出力する補正手段とを備え、前記補正処理済みの制御信号により前記信号生成手段の動作を制御することを特徴とする。

【0018】

また、本発明は、所望の伝送系を介して伝送された入力信号より、前記入力信号を介して伝送されるデータ列を再生する復調回路において、前記入力信号を2値化して2値化信号を生成する2値化手段と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度 $[\pi/2]$ 位相の異なる第2の発振出力信号を出力する信号生成手段と、前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較手段と、前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較手段と、前記第1及

び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、前記制御方向判定結果を前記入力信号の1周期分積算して、積算結果を出力する積算手段と、前記積算結果に対し、前記位相比較結果に基づいて位相差が $[\pm\pi/2]$ の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を1周期に1回に出力する補正手段とを備え、前記補正処理済みの制御信号により前記信号生成手段の動作を制御して、前記第1又は第2の位相比較結果により前記データ列を出力することを特徴とする。

【0019】

また、本発明は、アンテナを介して受信された送信信号から復調回路によりデータ列を復調して処理するICカードにおいて、前記復調回路は、前記送信信号を2値化して2値化信号を生成する2値化手段と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度 $[\pi/2]$ 位相の異なる第2の発振出力信号を出力する信号生成手段と、前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較手段と、前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較手段と、前記第1及び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、前記制御方向判定結果を前記入力信号の1周期分積算して、積算結果を出力する積算手段と、前記積算結果に対し、前記位相比較結果に基づいて位相差が $[\pm\pi/2]$ の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を1周期に1回に出力する補正手段とを備え、前記補正処理済みの制御信号により前記信号生成手段の動作を制御して、前記第1又は第2の位相比較結果により前記データ列を出力することを特徴とする。

【0020】

さらに、本発明は、アンテナを介して受信された応答信号から、復調回路を用いてICカードより送出されたデータ列を復調して処理するICカード処理装置において、前記復調回路は、前記応答信号を2値化して2値化信号を生成する2値化手段と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度 $[\pi/2]$ 位相の異なる第2の発振出力信号を出力する信号生成手段と、前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較手段と、前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較手段と、前記第1及び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定手段と、前記制御方向判定結果を前記入力信号の1周期分積算して、積算結果を出力する積算手段と、前記積算結果に対し、前記位相比較結果に基づいて位相差が $[\pm\pi/2]$ の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号を1周期に1回に出力する補正手段とを備え、前記補正処理済みの制御信号により前記信号生成手段の動作を制御して、前記第1又は第2の位相比較結果により前記データ列を出力することを特徴とする。

【発明の効果】

【0021】

本発明では、位相比較結果の正負に基づいて制御信号による制御方向を判定した制御方向判定結果を入力信号の1周期分積算し、その積算結果に対し、前記位相比較結果に基づいて位相差が $[\pm\pi/2]$ の場合に所定の制御量とする補正処理を行い、補正処理済みの制御信号により発振周波数を制御するので、誤ロック状態を回避して、確実にサンプリングクロックの抽出することができ、簡易な構成で、入力信号が劣化した場合でも確実に入力信号を処理することができる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、本発明は以下の例に限定されるものではなく、本発明の要旨を逸脱しない範囲で、任意に変更可能であることは言うまでもない。

【0023】

本発明は、例えば図1に示すような構成のICカードシステム100に適用される。

【0024】

このICカードシステム100は、例えば交通機関の改札システムに適用して、ICカード10とリーダライタ20間でデータ通信をする。ここではデータ通信装置としてカード形状を有するICカードを例にとって説明するが、認証・決済等を行ういわゆるICカード機能を有するICチップを携帯電話等の情報端末装置に搭載してよいのはもちろんのことである。

【0025】

ICカード10は、集積回路を実装した基板と保護シートとを積層してカード形状に形成されており、基板上の配線パターンによりループアンテナ11が形成され、また、この基板上に実装した集積回路により、変復調回路12及び信号処理回路13が形成されている。

【0026】

ループアンテナ11は、リーダライタ20のループアンテナ21と結合して、このループアンテナ21より送出された送信信号を受信すると共に、変復調回路12で生成した応答信号を放射する。

【0027】

変復調回路12は、ループアンテナ11で受信した送信信号より、このICカード10の動作に必要な電力、クロック等を生成する。さらに変復調回路12は、この電力、クロックにより動作して、送信信号よりリーダライタ20より送出されたデータ列（以下送信データ列と呼ぶ）D（R→C）を復調して信号処理回路13に出力する。また、この送信データ列D（R→C）により送信が促されて信号処理回路13より入力されるデータ列（以下応答データ列と呼ぶ）D（C→R）より応答信号を生成し、この応答信号によりループアンテナ11を駆動して応答信号を放射する。

【0028】

信号処理回路13は、変復調回路12で生成した電力、クロックにより動作して、送信データ列D（R→C）を解析し、必要に応じて応答データ列D（C→R）を変復調回路15に出力する。

【0029】

リーダライタ20において、変復調回路22は、SPU（シグナルプロセユニット）23より入力される送信データ列D（R→C）より送信信号を生成し、この送信信号によりループアンテナ21を駆動する。また変復調回路22は、このループアンテナ21で受信された応答信号を信号処理して、ICカード10より送出された応答データ列D（C→R）を復調し、この応答データ列D（C→R）をSPU23に出力する。

【0030】

SPU23は、比較的簡易な処理手順を実行する演算処理ユニットにより構成され、ICカード10に送信する送信データ列D（R→C）を変復調回路22に送出し、またこの変復調回路22より入力される応答データ列D（C→R）を処理する。この処理において、SPU23は、必要に応じて表示部24に処理経過、処理結果を表示する。また入力部25からのコマンドにより動作を切り換え、必要に応じて外部装置26との間で処理手順等のデータを入出力する。

【0031】

図2は、ICカード10の変復調回路12とリーダライタ20の変復調回路22を示すブロック図である。

【0032】

リーダライタ20の変復調回路22において、変調器221は、SPU23より入力される送信データ列D（R→C）を所定周波数F1のクロックCK1によりPSK変調し、PSK変調信号S1を出力する。この場合、送信データレートとクロックCK1の周波数が一致し、特定の位相関係の場合はマンチェスタ符号となる。変調器222は、変調器2

21より出力されるPSK変調信号S1を所定周波数Fmの主搬送波SmによりASK変調してループアンテナ21を駆動する。

【0033】

これらによりリーダライタ20は、送信データ列D(R→C)を2段階に変調して送信信号を生成し、この送信信号をループアンテナ21より送出する。

【0034】

ICカード10側の変復調回路12において、電源供給回路121は、ループアンテナ11に誘起される送信信号を受け、この送信信号を整流して直流電源を生成する。電源供給回路121は、この直流電源をICカード10の各回路ブロックに供給し、これにより送信信号の電力により変復調回路12、信号処理回路13を動作させる。

【0035】

キャリア抽出器122は、ループアンテナ11より送信信号を受け、この送信信号より主搬送波成分を抽出する。さらにこの主搬送波成分を動作クロックにして復調器123に出力する。さらにキャリア抽出器122は、この動作クロックを基準にして各種基準クロックを生成し、この基準クロックを信号処理回路13等に出出力する。

【0036】

復調器123は、ループアンテナ11より送信信号を受け、キャリア抽出器122より出力される動作クロックを用いてこの送信信号を処理することにより、この送信信号に重畳されてなる変調器221のPSK変調信号S1を復調する。

【0037】

バンドパスフィルタ124は、この復調器123より出力されるPSK変調信号S1を帯域制限することにより、変調器221の出力信号S1に対応する信号成分を選択的に出力する。

【0038】

復調器125は、このバンドパスフィルタ124の出力信号より送信データ列D(R→C)を復調し、この送信データ列D(R→C)を信号処理回路13に出力する。これによりICカード10では、リーダライタ20より送出された送信データ列D(R→C)を受信できるようになされている。

【0039】

変調器126は、信号処理回路13よりリーダライタ20に送出する応答データ列D(C→R)を受け、この応答データ列D(C→R)を所定周波数F2のクロックCK2によりPSK変調し、PSK変調信号S2を出力する。この場合、応答データ列のレートとクロックCK2の周波数が一致し、特定の位相関係の場合はマンチェスト符号となる。

【0040】

負荷回路127は、電源供給回路121より出力される電源ラインに接続され、変調器126の出力信号S2に応じて抵抗値を変化させる。これにより負荷回路127は、電源供給回路121の負荷を出力信号S2に応じて変化させ、ループアンテナ11より見た電源供給回路121の入力インピーダンスを出力信号S2に応じて変化させる。これにより負荷回路127は、ループアンテナ11に誘起されてこのループアンテナ11から再輻射される送信信号の電力を、変調器126の出力信号S2に応じて変化させる。

【0041】

このようにしてループアンテナ11から再輻射される電力は、主に主搬送波Smによる電力であり、ループアンテナ11の周囲においては、変調器126の出力信号S2に応じて強度が変化する主搬送波Smによる電磁界が形成されることになる。これにより変復調回路12は、等価的に、変調器126の出力信号S1を主搬送波SmによりASK変調して、リーダライタ20に対して応答データ列D(C→R)を搬送する応答信号を生成し、この応答信号をループアンテナ11より輻射する。

【0042】

これにより負荷回路127は、電源供給回路121と共に、データ列D(C→R)を2段階で変調する変調回路を構成する。電源安定化回路128は、このように負荷の変化に

より変動する電源電圧を安定化させて出力する。

【0043】

リーダライタ20側の変復調回路22において、復調器223は、このようにして生成されてループアンテナ21に誘起される応答信号を受け、この応答信号に重畳されてなる変調器126の出力信号S2を復調する。

【0044】

バンドパスフィルタ224は、この復調器223の出力信号を帯域制限することにより、変調器126の出力信号S2に対応する信号成分を選択的に出力する。

【0045】

復調器225は、このバンドパスフィルタ224の出力信号より応答データ列D(C→R)を復調し、このデータ列D(C→R)をSPU23に出力する。これによりリーダライタ20では、ICカード10より送出された応答データ列D(C→R)を受信できるようになされている。

【0046】

このようにしてデータ列を送受するICカード10及びリーダライタ20において、クロックCK1及びCK2の周波数F1及びF2は、所定周波数だけ異なる周波数により設定される。また、この周波数F1及びF2は、図3に示すように、リーダライタ20側の変調器221より出力されるPSK変調信号S1と、ICカード10側の変調器126より出力されるPSK変調信号S2とを周波数軸上で見たとき、側波帯S1U、S1L及びS2U、S2Lが重なり合わないよう、またこれらPSK変調信号S1及びS2が重畳された際に、簡易な構成のバンドパスフィルタ124、224によりPSK変調信号S1及びS2の信号成分をそれぞれ抽出できるように、十分に離間した周波数に設定される。

【0047】

これによりICカード10及びリーダライタ20において、同時に、双方向でデータ交換できるようになされている。

【0048】

図4は、ICカード10及びリーダライタ20における変復調回路12、22に適用される復調器125、225を示すブロック図である。ICカードシステム100において、この復調器125、225は、処理する信号が異なる点を除いて同一に構成されることにより、ICカード10側の復調器12についてだけ説明し、リーダライタ20側の復調器225については、図1において相違する箇所に対応する符号を付して示し重複した説明を省略する。ICカードシステム100においては、この復調器125、225においてPSK変調信号S1、S2を処理してデータ列D(R→C)、D(C→R)を復調する。

【0049】

なお、マンチェスター符号は、図5に示すように、伝送に供するデータの論理レベルに応じて、クロックの1周期で位相が反転するビットコーディングである(図5(A)及び(B))。これによりPSK変調信号S1、S2においては、伝送に供するデータの論理レベルに応じて、クロックCK1、CK2のエッジ情報が伝送されない場合が発生する。

【0050】

ICカードシステム100においては、ICカード10とリーダライタ20間の距離が離間すると、復調されたPSK変調信号S1、S2のSN比が劣化し、また波形歪みが発生することになる(図5(C))。

【0051】

2値化回路251は、リミッタ回路構成の2値化回路により構成され、バンドパスフィルタ124より入力されるPSK変調信号S1を2値化して、例えば1周期8サンプルの2値化信号S3A(図5(D))と、この2値化信号S3Aの極性を反転してなる2値化信号S3Bとを出力する(図5(E))。この場合、2値化信号S3A、S3Bにおいては、PSK変調信号S1、S2の波形が歪んだ分、デューティ比が50[%]より変化して再生されることになる。

【0052】

発振器 252 は、フレームレートが例えば 211 Kps の PSK 変調信号 S1 のクロック CK1 に対して、フレームレートの N 倍（例えば $N=64$ ）の周波数（13.56 MHz）を発振し、矩形波信号による発振出力信号 S4 を出力する。

【0053】

可変型分周器 253 は、発振器 252 の発振出力信号 S4 を $1/N$ に分周し、PSK 変調信号 S1 とほぼ周波数の等しい第 1 の発振出力信号 S6Q（図 5（F））、この第 1 の発振出力信号 S6Q に対して 90 度位相の異なる第 2 の発振出力信号 S6I（図 5（G））を出力する。

【0054】

イクスクルーシブオア（EX-OR）回路 254Q は、第 1 の発振出力信号 S6Q と 2 値化信号 S3A との排他的論理和出力として、上記第 1 の発振出力信号 S6Q と 2 値化信号 S3A との位相比較結果 S7Q を出力する。イクスクルーシブオア（EX-OR）回路 254I は、第 2 の発振出力信号 S6I と 2 値化信号 S3B と排他的論理和出力として、上記第 2 の発振出力信号 S6I と 2 値化信号 S3B との位相比較結果 S7I を出力する。

【0055】

ローパスフィルタ（LPF）255Q は、上記 EX-OR 回路 254Q により得られた位相比較結果 S7Q について、半周期 4 サンプル毎に移動平均を 5 値出力として得、この移動平均値 S8Q を出力する。ローパスフィルタ（LPF）255I は、上記 EX-OR 回路 254I により得られた位相比較結果 S7I について、半周期 4 サンプル毎に移動平均を 5 値出力として得、この移動平均値 S8I を出力する。

【0056】

3 値化回路 256Q は、上記 LPF 255Q から出力された 5 値の移動平均値 S8Q を 3 値化して制御方向判定回路 257 に出力する。3 値化回路 256I は、上記 LPF 255I から出力された 5 値の移動平均値 S8I を 3 値化して制御方向判定回路 257 と補正回路 259 に出力する。

【0057】

制御方向判定回路 257 は、3 値化回路 256Q、256I により得られた 3 値化信号 S9Q、S9I に基づいて、上記可変型分周器 52 における分周比の可変方向を決定し、この可変方向に従って制御信号 S10 を出力する。

【0058】

ここで、図 6 に示すように、上記第 1 の発振出力信号 S6Q と 2 値化信号 S3A の位相比較結果 S7Q 及び上記第 2 の発振出力信号 S6I と 2 値化信号 S3B の位相比較結果 S7I の対比によりクロック CK1 との間の排他的論理和による位相比較結果をアナログ量 S7IA、S7QA により示すと、クロック CK1 に対して位相が一致しているとき（位相差 0 及び $\pi/2$ のとき）、位相比較結果 S7I、S7Q は、それぞれ大きな値が得られ、このとき 90 度位相の異なる位相比較結果においては、値 0 の位相比較結果が得られる。さらにこれらの値は、位相差の変化により三角波形状に変化する（図 6（A）及び（B））。

【0059】

この関係を位相比較結果 S7I、S7Q の符号により示すと（図 6（C）及び（D））、第 2 の位相比較結果 S7I においては、 -90 度 $[-\pi/2]$ から 90 度 $[\pi/2]$ の範囲で値が正に立ち上がり、 -90 度 $[-\pi/2]$ から -180 度 $[-\pi]$ の範囲、 90 度 $[\pi/2]$ から 180 度 $[\pi]$ の範囲で値が負に立ち下がる。またこれと 90 度 $[\pi/2]$ 位相の異なる第 1 の位相比較結果 S7Q においては、 0 度 $[0]$ から 90 度 $[\pi/2]$ の範囲で値が正に立ち上がり、 0 度 $[0]$ から -180 度 $[-\pi]$ の範囲で値が負に立ち下がる。

【0060】

これにより位相比較結果 S7I、S7Q の符号により、2 値化信号 S3A に対する位相ずれを大まかに検出できることが判る。

【0061】

これに対して2値化信号S3Aの生成基準となるマンチェスター符号においては、データの論理レベルに応じてクロックCKに対して0度[0]、180度[π]の位相を形成する。この場合2値化信号S3Aを用いた位相比較結果S7I、S7Qにおいては、PSK変調信号S1により伝送されるデータに応じて、クロックCK1に対して位相同期する箇所が位相差0度[0]、位相差180度[π]で切り換わることになる。

【0062】

これにより位相比較結果S7Iにより検出される位相差が-90度[$-\pi/2$]~90度[$+\pi/2$]の範囲においては、矢印aにより示すように、位相比較結果S7Qの位相差が0度[0]になるように制御して、位相比較結果S7Iの生成基準となる発振出力信号S6IをクロックCKに同期させることができる。

【0063】

また位相比較結果S7Iにより検出される位相差が-180度[$-\pi$]~-90度[$-\pi/2$]、90度[$+\pi/2$]~180度[$+\pi$]の範囲においては、矢印bにより示すように、位相比較結果S7Qの位相差が180度になるように制御して、位相比較結果S7Iの生成基準となる発振出力信号S6IをクロックCKに同期させることができる。

【0064】

この関係に従って、制御方向判定回路257は、図7に示すように、位相比較結果S7I、S7Qの符号をアドレスにしたテーブルを保持し、このテーブルにより制御方向（進め[+]、遅れ[+]）を決定し、この制御方向に応じた制御信号S10を出力する。

【0065】

積算回路258は、制御方向判定回路257により得られた制御信号S10について1周期分8サンプルの総和S11を求める。

【0066】

補正回路259は、上記積算回路258により求められた制御信号S10の1周期分8サンプルの総和S11と上記3値化回路256Iにより得られた3値化信号S9Iに基づいて、データのデューティや位相状態によって原理的に存在する位相誤差が検出できない位相差が[$\pm\pi/2$]の場合に制御量[\pm]を所定の制御量とする補正処理を行い、補正処理済みの制御信号S12を1周期に1回、可変型分周器52に出力する。

【0067】

図4に示した構成の復調回路によれば、90度位相の異なる発振出力信号による第1及び第2の位相比較結果より、この第1及び第2の位相比較結果の正負に応じて制御方向を決定して発振周波数を可変したことにより、簡易な構成で、PSK変調信号S1、S2が劣化した場合でも、確実にクロックCKを再生してデータを復調することができる。

【0068】

しかも、誤ロック状態となってしまう虞のある位相差[$\pm\pi/2$]における制御量[\pm]を所定の制御量とする補正処理を補正回路259によって行うので、誤ロック状態に陥ることなく、確実にクロックCKを再生してデータを復調することができる。

【0069】

なお、上述の実施の形態においては、送信信号の電力によりICカードを動作させる場合について述べたが、本発明はこれに限らず、電池により動作させる場合等にも広く適用することができる。

【0070】

また、上述の実施の形態においては、マンチェスター符号によるPSK変調信号よりクロックを生成し、またデータを復調する場合について述べたが、本発明はこれに限らず、種々のPSK変調信号によりクロックを生成し、またデータを復調する場合、さらにはASK変調信号よりクロックを生成する場合等、種々の変調信号よりクロックを生成し、またこのクロックを用いてデータを再生する場合に広く適用することができる。

【0071】

さらに、上述の実施の形態においては、本発明をICカード及びICカード処理装置で

なるリーダライタに適用する場合について述べたが、本発明はこれに限らず、種々のデータ伝送装置のPLL回路、復調回路に広く適用することができる。

【図面の簡単な説明】

【0072】

【図1】本発明を適用したICカードシステムの構成を示すブロック図である。

【図2】上記ICカードシステムにおけるICカード及びリーダライタの変復調回路の構成を示すブロック図である。

【図3】ICカードシステムにおける送信信号及び応答信号の周波数スペクトラムを示す特性曲線図である。

【図4】上記ICカード及びリーダライタにおける変復調回路に適用される復調器の構成を示すブロック図である。

【図5】上記復調器の動作の説明に供する信号波形図である。

【図6】上記復調器の動作の説明に供する特性曲線図である。

【図7】上記復調器の制御方向判定回路の説明に供する図表である。

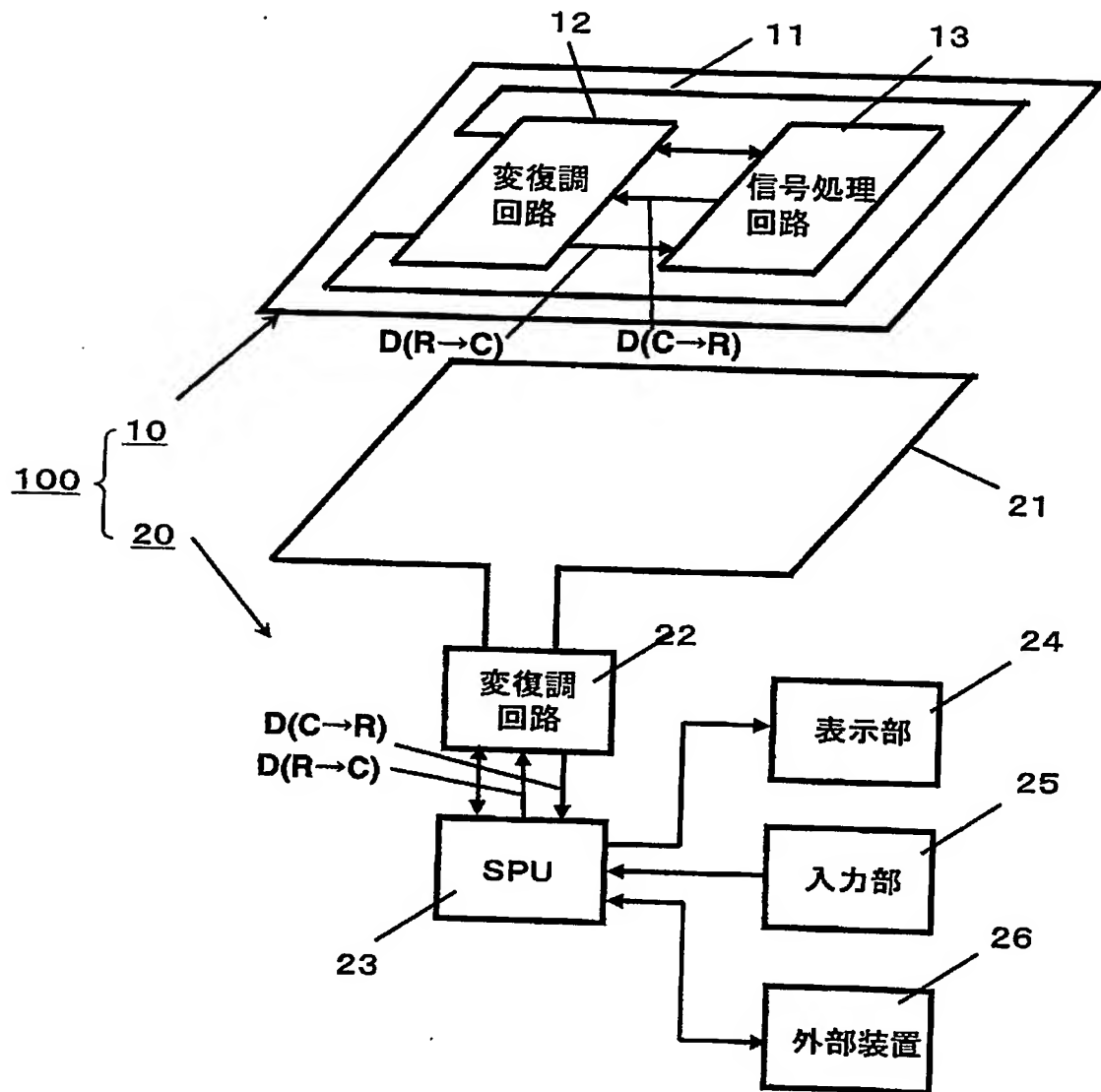
【図8】従来の復調器の構成を示すブロック図である。

【符号の説明】

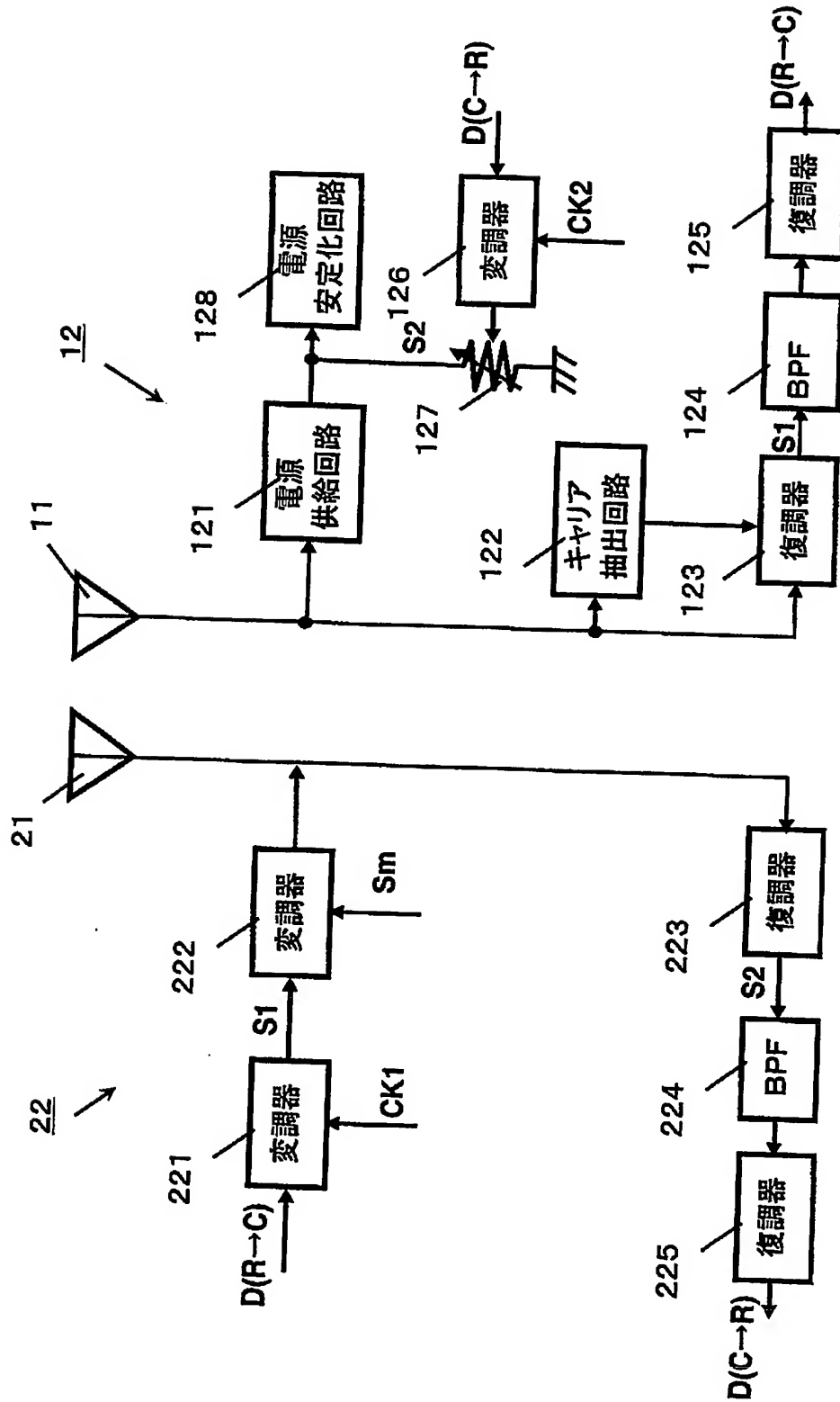
【0073】

10 ICカード、11 ループアンテナ、12 変復調回路、13 信号処理回路、15 復調回路、20 リーダライタ、21 ループアンテナ、22 変復調回路、23 SPU、24 表示部、25 入力部、26 外部装置、ICカードシステム 100、121 電源供給回路、122 キャリア抽出器、124 バンドパスフィルタ、123、125 復調器、126 変調器、127 負荷回路、128 電源安定化回路、221、222 変調器、223、225 復調器、224 バンドパスフィルタ、251 2値化回路、252 発振器、253 可変型分周器、254Q、254I イクスクリューブオア（EX-OR）回路、255Q、255I ローパスフィルタ（LPF）、256Q 3値化回路、257 制御方向判定回路、258 積算回路

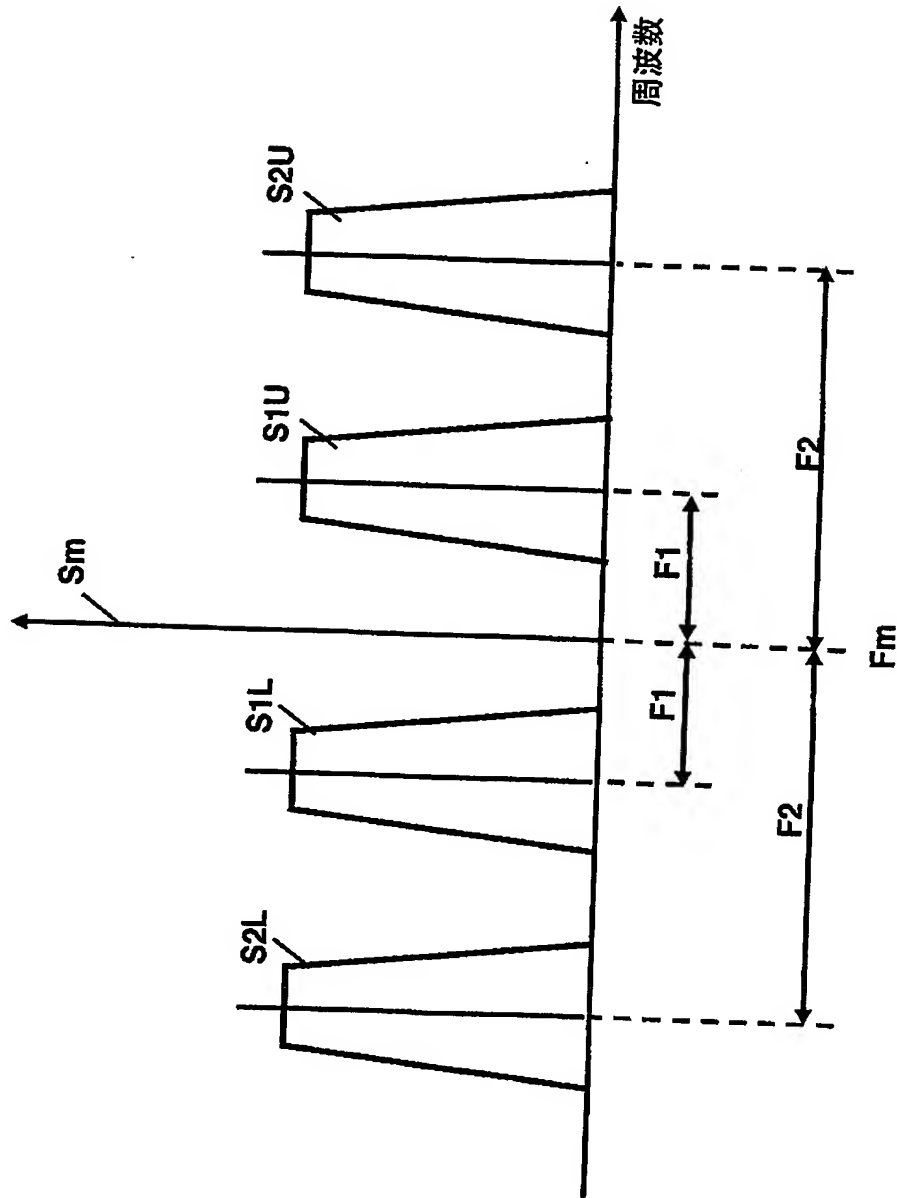
【書類名】 図面
【図 1】



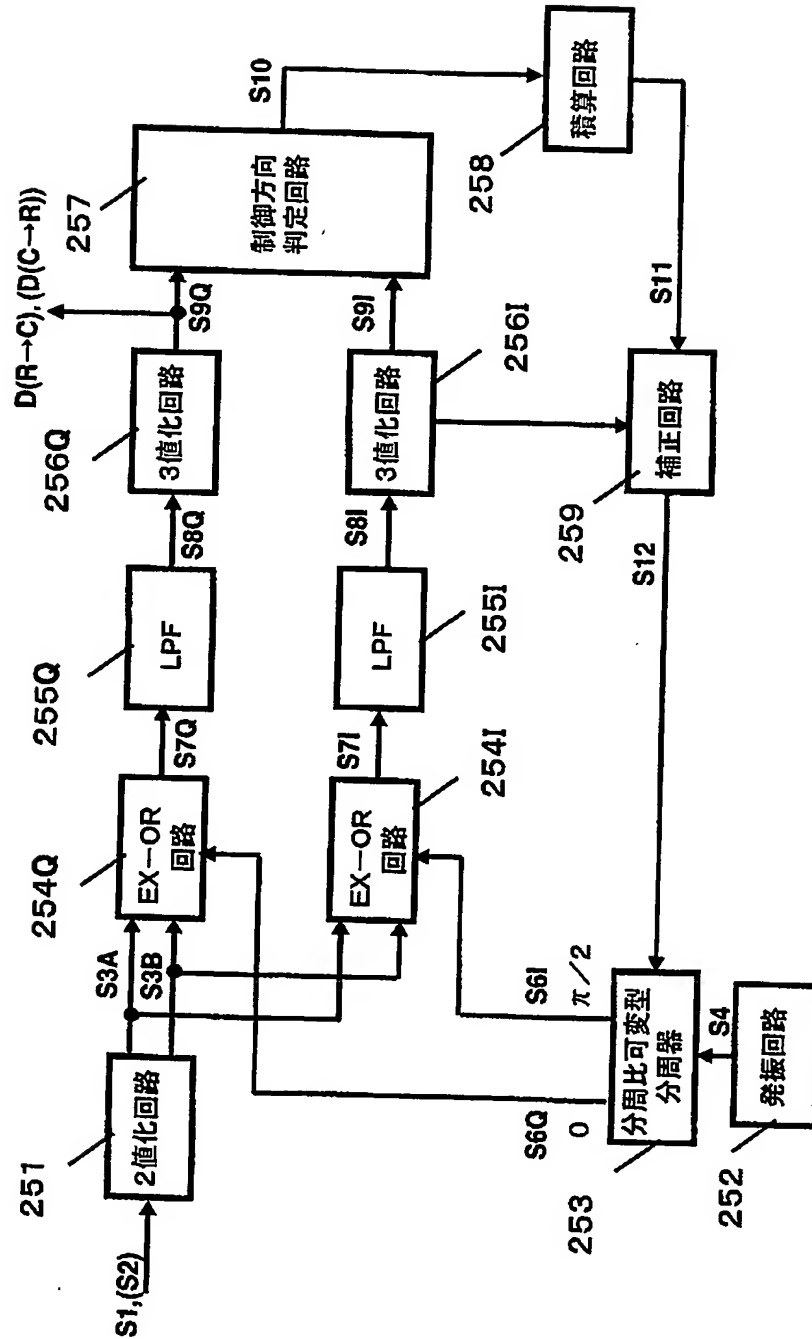
【図 2】



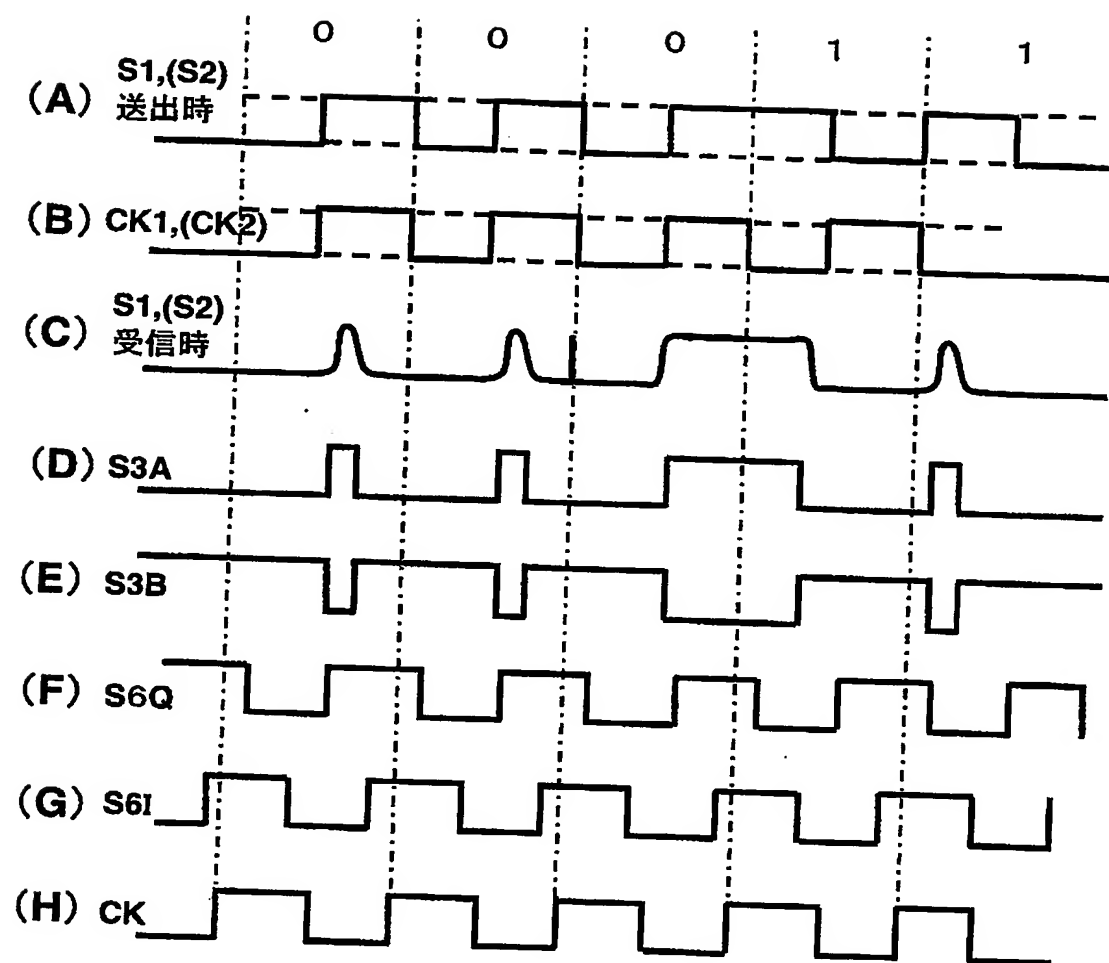
【図 3】



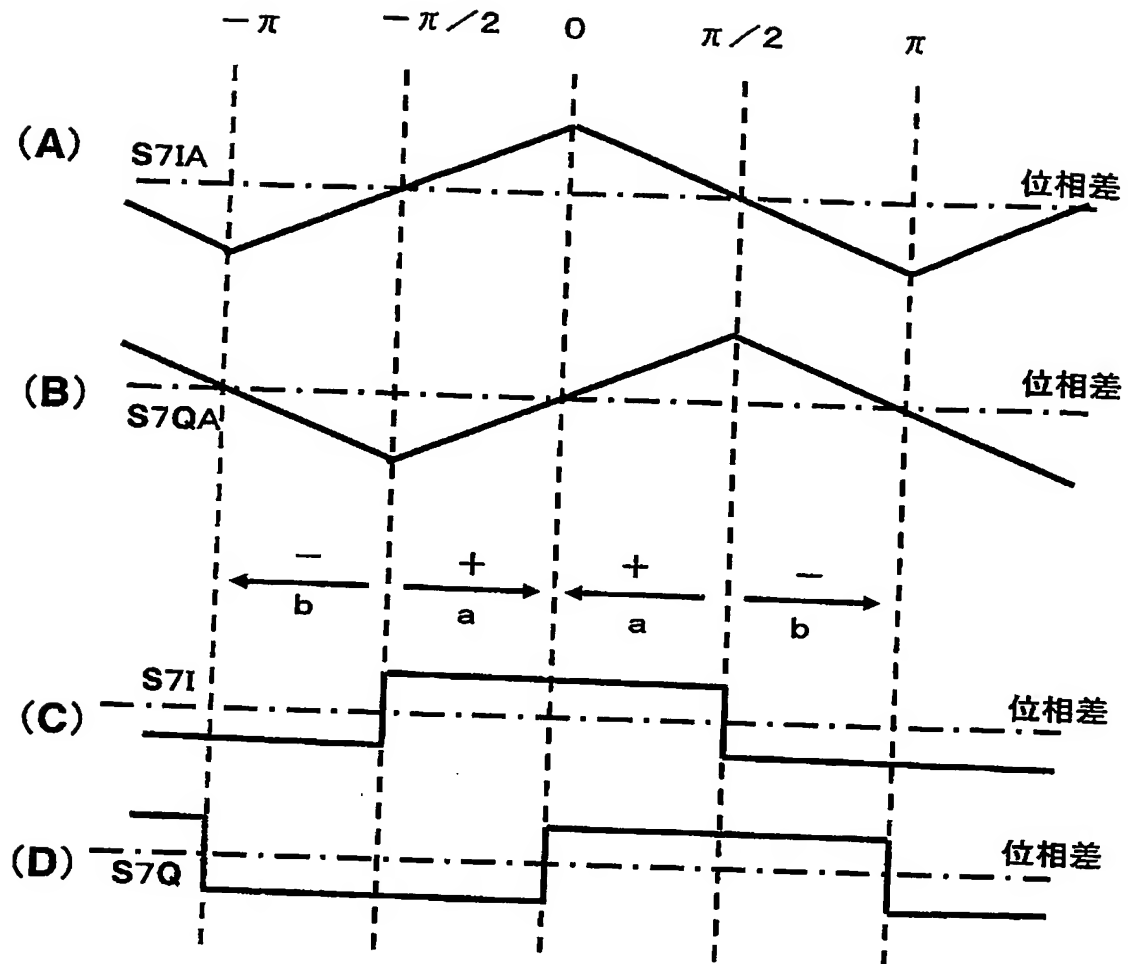
【図 4】



【図 5】



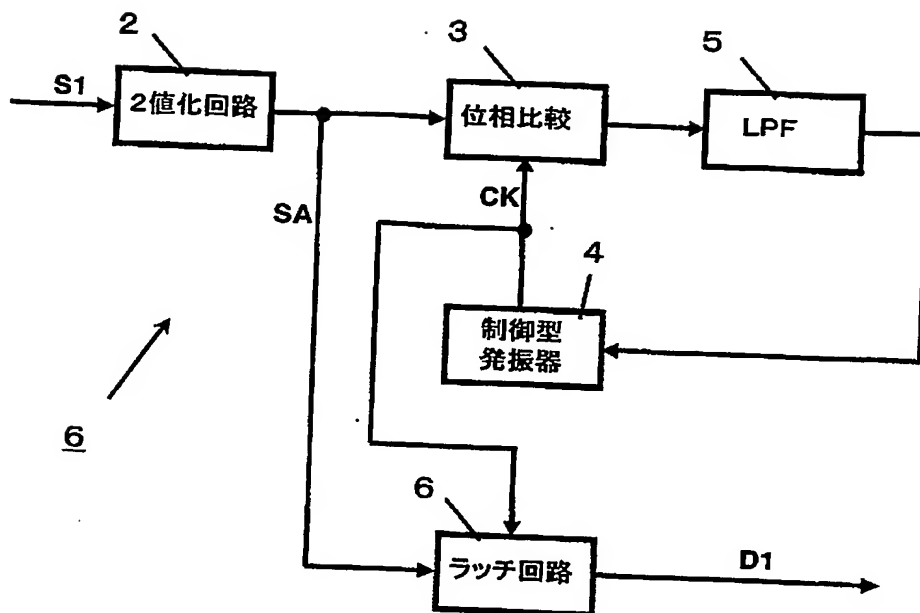
【図 6】



【図 7】

位相ずれ	$-\pi$		$-\pi/2$	0		$\pi/2$		π
S7I	-	-	0	+	+	0	-	-
S7Q	0	-	-	0	+	+	+	0
制御方向	0	+	0	0	-	0	-	0

【図 8】



【書類名】要約書

【要約】

【課題】 誤ロック状態を回避して、確実にサンプリングクロックの抽出を行う。

【解決手段】 発振器 252 及び可変型分周器 253 により生成される第 1 の発振出力信号及び前記第 1 の発振出力信号に対して 90 度 $[\pi/2]$ 位相の異なる第 2 の発振出力信号をイクスクルーシブオア (EX-OR) 回路 254 Q, 254 I により位相比較し、その位相比較結果の正負に基づいて制御方向判定回路 257 により制御方向を判定し、その制御方向判定結果を積算回路 258 により入力信号の 1 周期分積算して、その積算結果に対し、補正回路 259 により、上記位相比較結果に基づいて位相差が $[\pm \pi/2]$ の場合に所定の制御量とする補正処理を行い、1 周期に 1 回に出力される補正処理済みの制御信号により可変型分周器 253 の動作を制御する。

【選択図】 図 4

特願 2004-035659

ページ: 1/E

出願人履歴情報

識別番号

[000002185]

1. 変更新月日

[変更理由]

住所

氏名

1990年 8月30日

新規登録

東京都品川区北品川6丁目7番35号

ソニー株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002161

International filing date: 14 February 2005 (14.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-035659
Filing date: 12 February 2004 (12.02.2004)

Date of receipt at the International Bureau: 17 March 2005 (17.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse